




SIC SEMICONDUCTOR DEVICE

Patent number: JP9172159
Publication date: 1997-06-30
Inventor: AJIT JANARDHANAN S
Applicant: INTERNATL RECTIFIER CORP
Classification:
- international: H01L29/16; H01L29/78; H01L29/861
- european:
Application number: JP19960268602 19961009
Priority number(s):

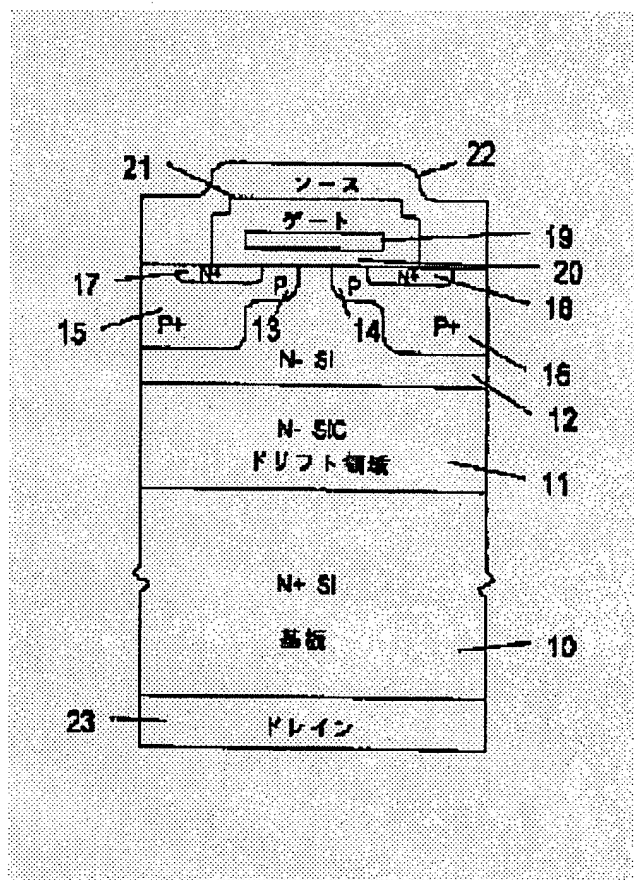
Also published as:

 GB2306250 (A)
 FR2740907 (A1)
 DE19641839 (A1)

Abstract of JP9172159

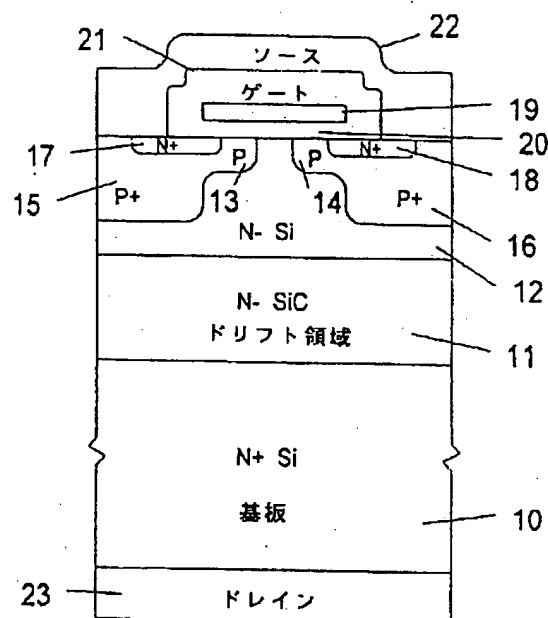
PROBLEM TO BE SOLVED: To provide a structure of semiconductor device in which on-resistance is reduced, by causing the semiconductor device to include a semiconductor substrate, a material with a wide band gap forming a drift region located thereon, and a crystal growth layer of a semiconductor material located thereon.

SOLUTION: A semiconductor device includes a semiconductor substrate 10, a material with a wide band gap forming drift region 11 located on the semiconductor substrate 10, and a crystal growth layer 12 of a semiconductor material located on the material with the wide band gap. For example, an N-type SiC drift region 11 is arranged on an N⁺ Si substrate 10, and an N⁺ Si crystal growth layer 12 with a thickness of 3 μm is grown on an upper part of the drift region 11. In addition, a power MOS FET including P⁺ channel regions 13 and 14, P⁺ body regions 15 and 16, N⁺ sources 17 and 18, a polycrystal gate 19, a gate oxide film 20, an interlayer insulating film 21 and a source contact 22 is arranged on the crystal growth layer 12. Then, a drain contact 23 is arranged on the bottom of the substrate 10.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 半導体基板と、
上記半導体基板上に配置されたドリフト領域を形成する
バンドギャップの広い材料と、
上記バンドギャップの広い材料上に配置された半導体材
料の結晶成長層とを含む半導体装置。

【請求項2】 上記ドリフト領域を形成するバンドギャ
ップの広い材料が、低誘電率、高キャリア移動度の材料
である請求項1に記載の半導体装置。

【請求項3】 上記半導体材料の結晶成長層が約3 μ m 10
の厚みである請求項1に記載の半導体装置。

【請求項4】 上記半導体基板材料がシリコンである請
求項1に記載の半導体装置。

【請求項5】 上記ドリフト領域を形成するバンドギャ
ップの広い材料が炭化シリコンである請求項1に記載の
半導体装置。

【請求項6】 上記半導体材料の結晶成長層がシリコン
である請求項1に記載の半導体装置。

【請求項7】 上記半導体基板材料がシリコンであり、
上記ドリフト領域を形成するバンドギャップの広い材料 20
が炭化シリコンであり、
上記半導体材料の結晶成長層がシリコンである請求項1
に記載の半導体装置。

【請求項8】 ドープされた半導体基板と、
上記ドープされた半導体基板上に配置されたドリフト領
域を形成するドープされたバンドギャップの広い材料
と、
上記バンドギャップの広い材料上に配置された半導体材
料のドープされた結晶成長層とを含むMOSFET半導
体装置。

【請求項9】 上記ドリフト領域を形成するドープされ
たバンドギャップの広い材料が、低誘電率、高キャリア
移動度の材料である請求項8に記載のMOSFET半導
体装置。

【請求項10】 上記半導体材料の結晶成長層が約3 μ
mの厚みである請求項8に記載のMOSFET半導体装
置。

【請求項11】 上記半導体基板材料がシリコンである
請求項8に記載のMOSFET半導体装置。

【請求項12】 上記ドリフト領域を形成するバンドギ
ャップの広い材料が炭化シリコンである請求項8に記載
のMOSFET半導体装置。

【請求項13】 上記半導体材料の結晶成長層がシリコ
ンである請求項8に記載のMOSFET半導体装置。

【請求項14】 上記半導体基板材料がシリコンであ
り、
上記ドリフト領域を形成するバンドギャップの広い材料
が炭化シリコンであり、
上記半導体材料の結晶成長層がシリコンである請求項8
に記載のMOSFET半導体装置。

【請求項15】 ドープされた半導体基板と、
上記ドープされた半導体基板上に配置されたドリフト領
域を形成するドープされたバンドギャップの広い材料
と、
上記バンドギャップの広い材料上に配置された半導体材
料のドープされた結晶成長層とを含む半導体ダイオー
ド。

【請求項16】 上記ドリフト領域を形成するドープさ
れたバンドギャップの広い材料が、低誘電率、高キャリ
ア移動度の材料である請求項15に記載の半導体ダイオ
ード。

【請求項17】 上記半導体材料の結晶成長層が約3 μ
mの厚みである請求項15に記載の半導体ダイオード。

【請求項18】 上記半導体基板材料がシリコンである
請求項15に記載の半導体ダイオード。

【請求項19】 上記ドリフト領域を形成するバンドギ
ャップの広い材料が炭化シリコンである請求項15に記
載の半導体ダイオード。

【請求項20】 上記半導体材料の結晶成長層がシリコ
ンである請求項15に記載の半導体ダイオード。

【請求項21】 上記半導体基板材料がシリコンであ
り、
上記ドリフト領域を形成するバンドギャップの広い材料
が炭化シリコンである請求項15に記載の半導体ダイオ
ード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、
特に、高電圧半導体装置に関する。更に、本発明は、高
濃度、高ブレイクダウン電圧を必要とする半導体装置に
関する。

【0002】

【従来の技術】炭化シリコン(SiC)は、シリコン
(Si)より広いバンドギャップを有し、それゆえに、
SiCは、Siより高い臨界アバランシ電界を有し、高
電圧装置においてシリコンより100倍高い性能の電位
を備える。特に、3C-SiCはSiより約4倍高い臨
界アバランシ電界を有し、6H-SiCはSiより約8
倍高い臨界アバランシ電界を有し、4H-SiCはSi
より約10倍高い臨界アバランシ電界を有する。SiC
の高い臨界電界は、より高いドーピングとより薄いドリ
フト領域を許容し、これにより通常のSiパワーデバイ
スに比べてSiCパワーデバイスのオン抵抗を低減する
ことができる。

【0003】

【発明が解決しようとする課題】しかし、一般に、Si
Cデバイスには問題がある。即ち、ドーパントをSiC
材料中に拡散させることが困難であった。特に、SiC
中へのドーパントの拡散には1800℃の領域の温度が
必要となる。他のSiCの使用の問題は、SiCが半導

体装置のチャネル材料として使われた場合、この材料は低いMOSチャネルキャリア移動度を示し、チャネルの導電率が低下することである。そこで、本発明は、かかる欠陥を解決し、オン抵抗を低減した半導体装置の構造を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明は、上述の従来技術の欠陥を解決する半導体構造を提供するものであり、該半導体装置はSiC材料のボディ上にSiの薄い結晶成長層を有するものである。該薄い結晶成長層は約3μmの厚さであることが好ましい。本発明の構造は、パワーMOSFET、トレンチパワーMOSFET、ダイオード、および他の半導体装置にも使用することができる。コスト低減のために、上記SiC層は高ドーピングのSi基板上に形成することができる(3C-SiCは、Si上に容易に成長できることが文献に報告されている)。例えば、結晶成長したシリコン層を有するパワーMOSFETのような構造は、現行のプロセスを用いた現行のシリコンパワーMOSFET製造設備で製造可能である。本発明の構造を利用した(例えばパワーMOSFETのような)デバイスのドリフト領域は主にSiCから成り、SiCのドーピングはSiのドーピングよりずっと高くできるため、(一方、従来のSiデバイスと同じ電圧を供給でき)、本発明の新しいデバイス構造は、従来のSiパワーデバイスに比べてより低いオン抵抗を提供することができる。しかし、本発明のデバイス構造のブレイクダウン電圧は、なおも、少なくともSi中の一部に形成されたPボディ/N⁻ドリフト領域接合の臨界電位により限定される。例えば、高電圧デバイス(例えば60Vより高い)では、本発明のデバイス構造では、従来のSiデバイスに比べて20%-90%低いオン抵抗の提供が期待される。本発明の新しい構造では、Pボディ/N⁻ドリフト領域接合を、完全にSi中に、またはSi/SiCヘテロ接合に形成することができる。大きな改良としては、Si層はより薄く形成され、Pボディ拡散はPボディ/N⁻ドリフト領域接合がSiC中に形成されるように作られることが好ましい。しかし、そのような構造は、Si中でのドーパントの拡散に比べて、高温で、長時間のSiC中へのドーパントの拡散が必要となる。他のバンドギャップの広い半導体材料を利用した構造が、説明したSiC材料の代わりに使用でき、本発明に採用できることは留意すべきである。本発明の他の特徴および長所は、添付図面を用いて言及する以下の記載から明らかになるであろう。

【0005】

【発明の実施の形態】添付図面において、図1は、本発明による新しいSiCパワーDMOSFET構造であって、N型SiCドリフト領域11が従来型のN⁻Si基板上に配置された構造を示す。SiC領域11はSiより、より高濃度にドーピングされ、SiC領域11は、従来

技術のSiドリフト領域より小さい抵抗を有する一方、高いブレイクダウン電圧を有する。3μm厚のN⁻結晶成長層12は、SiCドリフト領域11の上部に成長される。従来の(P⁻チャネル領域13、14;ボディ領域15、16;N⁻ソース17、18;多結晶ゲート19;ゲート酸化膜20;層間酸化膜21;上を覆ったソースコンタクト22のような)パワーMOSFET接合が、N⁻結晶成長層12上に配置される。ドレインコンタクト23が、基板10のボトム上に配置される。図6を参照すると、SiC領域11中の電荷量が、同一のブレイクダウン電圧のシリコンの電荷量の3倍以上であることが示されている。図6は、P型Si51とN型SiC52との接合50であって、対応するE電界が供給されている接合を示す。SiMOSFETに比べて、ドレイン領域がより低いオン抵抗を得るためには、高電圧を維持するためのドリフト領域のドーピング(N₀)は高くすべきであり、高電圧を維持するためのドリフト領域の厚さ(W)は小さくすべきである。言い換えれば、ドレイン領域は、高いドーピング(N₀)および最小膜厚(W)を備えた阻止電圧を維持できなければならない。接合50において、ガウスの法則により、以下の式が成立する。

$$\epsilon_{Si} * E_{Si} = \epsilon_{SiC} * E_{SiC}$$

$$E_{Si} \sim (\epsilon_{SiC} / \epsilon_{Si}) * E_{SiC}$$

$$E_{Si} \sim 0.82 * E_{SiC}, \quad 3C-SiC \text{ の場合}$$

$$E_{SiC} \sim 1.21 * E_{Si}, \quad 3C-SiC \text{ の場合}$$

一般に、ドリフト領域の均一ドーピングに対して、以下の関係が成立する。

$$E_c = q N_0 W_c / \epsilon$$

但し、E_cはブレイクダウンにおけるこの構造の臨界アバランシブレイクダウン電界である。

$$E_{SiC} = 1.21 * E_{c, Si}$$

$$E \text{ 電界の傾き} = dE/dY = q N_0 / \epsilon$$

ドリフト領域ドーピングN₀はE_{c, SiC}に比例し、ドリフト領域厚さWはεに比例する。上述の式は、最短距離でE電界が0になる(最小ドリフト領域厚さW)ためには、ドリフト領域材料の誘電率(ε)が可能な限り低くあるべきであることを示す。このように、より高いドリフト領域ドーピングに対しては、ドリフト領域は、シリコンに比べてより高い臨界アバランシ電界を備えた材料から形成されるべきである。より小さいドリフト領域厚さに対して、ドリフト領域は、シリコンに比べてより低い誘電率を備えた材料から形成されるべきである。SiCはSiに比べて、より高い臨界アバランシ電界およびより低い誘電率を有する。このように、SiCはドリフト領域材料として、ドリフト領域の抵抗を低くするのに良く適し、ドリフト領域は、実質上SiCのような材料から形成されるべきである。

【0006】図1を参照して、所望のトポロジがN⁻結晶成長層12中に接合を提供するために使用することが

でき、それにより本発明による他のMOSゲートデバイスを得ることができる。図2は、本発明による構造を使用したショットキバリアダイオードを示す。図1の要素に類似する要素は、同様の引用番号を有する。図1および図2の構造の間の大きな相異は、(i) 領域12が接合を有しない(むしろ従来のガードリングが用いられる)こと、(ii) カソード22Aは、モリブデンのような高い仕事関数の材料であることが好ましいことである。上述のように、SiC材料中の電荷量は、同じブレイクダウン電圧のSi中の電荷量に比べてずっと高く、それゆえに、デバイスの導電性は、同じブレイクダウン電圧を有する従来のデバイス以上に改良される。図3は、本発明の構造を用いたトレンチパワーMOSFETを示す。特に、P⁺ボディ31から延びるPシリコン層30は、ゲート酸化膜32に向かって配置され、該ゲート酸化膜32はシリコン中にエッチングされたトレンチに沿っている。該トレンチは多結晶シリコンゲート33で充填されている。N⁺ソース拡散領域34はP領域30、31中に拡散され、ソースコンタクト22は領域31、34およびゲート酸化膜32上に配置される。上で議論したように、SiC材料中の電荷量は、同じブレイクダウン電圧のSiの電荷量よりずっと高い。図4のデバイスは、本発明によるMOSFETの代わりの具体例であり、図1のデバイスに類似する。図4のデバイスでは、P⁺ベース15および16が直接SiCドリフト領域11に接続し、比較的狭い結晶成長層12を残す。図5のデバイスは、P⁺領域31、P領域30およびN型領域11の間の接合がSi/SiCヘテロ接合に形成される点を除いて、図3のデバイスに類似する。本発明については特別な具体例との関係で説明してきたが、多く

* らかになるであろう。それゆえに、本発明は、この特別な説明により限定されるものではなく、添付の請求項によってのみ限定されるべきである。

【0007】

【発明の効果】 Si半導体装置のドリフト領域にSiCを用いることにより、ドーバント拡散の容易性、MOSチャネルの高いキャリア移動度を維持しつつ、半導体装置、特にパワーデバイスのオン抵抗の低減が可能となる。

10 【図面の簡単な説明】

【図1】 本発明の構造を用いたパワーDMOSFETデバイスの断面図である。

【図2】 本発明の構造を用いたショットキバリアダイオードデバイスの断面図である。

【図3】 本発明の構造を用いたトレンチパワーMOSFETデバイスの断面図である。

【図4】 本発明の構造を用いたパワーDMOSFETデバイスの代わりの具体例の断面図である。

20 【図5】 本発明の構造を用いたトレンチパワーMOSFETデバイスの代わりの具体例の断面図である。

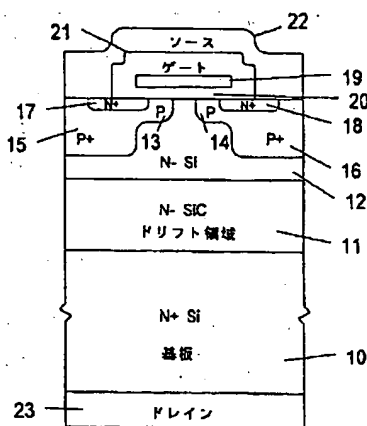
【図6】 本発明の図4のデバイスによる、P型シリコンおよびN型炭化シリコンの接合の断面図および対応する上記接合を横切るE電界分布である。

【図7】 図1のデバイス構造のより高い電圧を供給する接合の断面図および対応するE電界分布である。

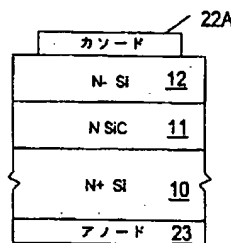
【符号の説明】

10 N⁺基板、11 N⁻ドリフト領域、12 N⁻結晶成長層、15、16 P⁺ベース領域、17、18 N⁺ソース、19 多結晶シリコンゲート、20 ゲート酸化膜、21 層間酸化膜、22 ソースコンタクト、23 ドレインコンタクト。

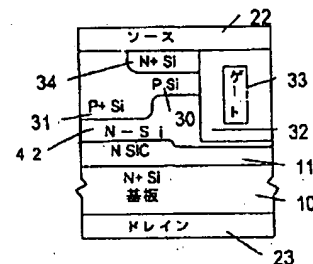
【図1】



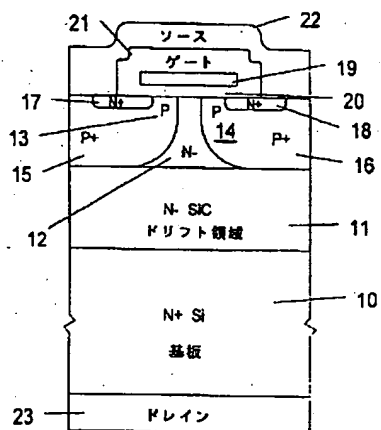
【図2】



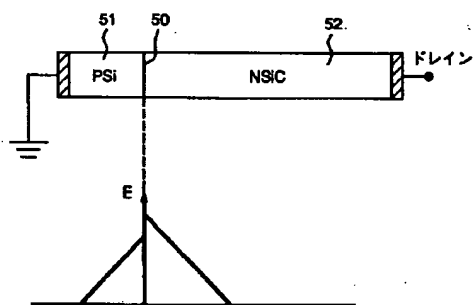
【図3】



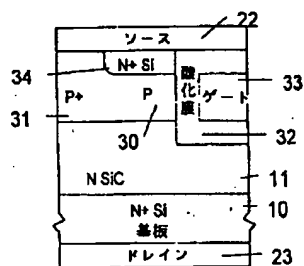
【図4】



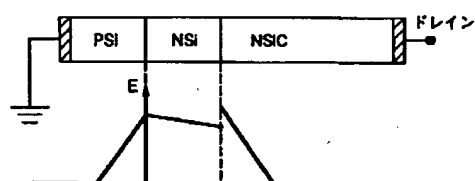
【図6】



【図5】



【図7】



フロントページの続き

(51)Int.Cl.⁶

識別記号

片内整理番号

F I

H 0 1 L 29/91

技術表示箇所

D